

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-150411

(43)Date of publication of application : 22.05.1992

(51)Int.Cl.

H03K 19/0185

H03K 17/693

(21)Application number : 02-401074

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 10.12.1990

(72)Inventor : HAN GYO-JIN

(30)Priority

Priority number : 90 9016388

Priority date : 15.10.1990

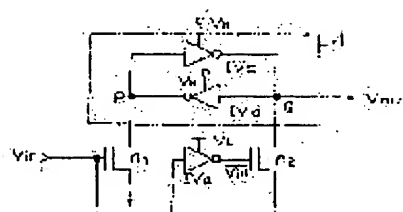
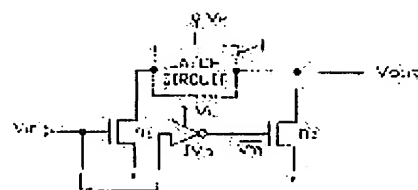
Priority country : KR

(54) DUPLEX VOLTAGE SOURCE INTERFACE CIRCUIT

(57)Abstract:

PURPOSE: To prevent power consumption losses and to obtain an excellent interface between two kinds of power supply voltage by providing a first transistor to which gate input signals are supplied, an inverter which inverts the polarity of the input signals, a second transistor which inputs the output of the inverter to a gate, and a latch circuit having a high-voltage power source connected between the drains of the first and second transistors.

CONSTITUTION: When an input signal V_{in} shifts to a high level from a low level in such a case that the potential at the node P of a latch circuit 1 is high (5V) and that at the node Q of the circuit 1 is low (0V), a power passage is formed between the source and drain of an n-channel CMOS transistor n1 and the potential at the node P shifts to 0V, because the transistor n1 shifts to a turned-on state from a turned-off state and another n-channel CMOS transistor n2 shifts to a turned-off state from a turned-on state due to an inverter IVa. Therefore, stable output signals V_{out} are maintained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

JP 108

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-150411

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月22日

H 03 K 19/0185
17/693D 8221-5 J
8941-5 JH 03 K 19/00 1 0 1 C
審査請求 有 請求項の数 2 (全9頁)

⑭ 発明の名称 二重電圧源インタフェース回路

⑰ 特 願 平2-401074

⑱ 出 願 平2(1990)12月10日

優先権主張 ⑲1990年10月15日 ⑳韓国(KR)㉑1990-16388

㉒発 明 者 韓 教 眞 大韓民国京畿道儀旺市▲ソン▼2洞691-2号

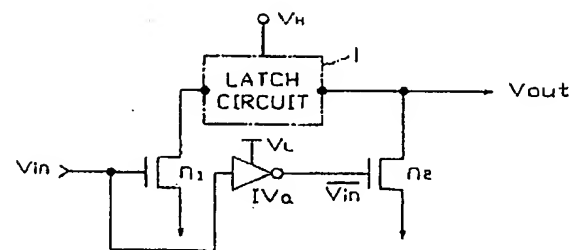
㉓出 願 人 三星電子株式会社 大韓民国京畿道水原市勸善区梅灘洞416番地

㉔代 理 人 弁理士 菅井 英雄 外7名

⑤⑦ 【要約】

【目的】低電圧電源と高電圧電源の二種類の電源電圧を備え、低電圧源で高電圧の回路を駆動する二重電圧源インタフェース回路において、直流損失を低減し、二種類の電源電圧のインタフェースを良好に行う。

【構成】nチャンネルCMOSトランジスタ n_1 のゲートには入力信号 V_{in} が供給され、nチャンネルCMOSトランジスタ n_2 のゲートには、低電圧源 V_L を備えるインバータ IV_a を介して入力信号 V_{in} が供給される。そして、二つのnチャンネルCMOSトランジスタ n_1 、 n_2 のドレインの間には、高電圧源 V_H を備えるラッチ回路1が配置されている。ラッチ回路1は、それぞれが高電圧源 V_H を備える二つのインバータ IV_b 、 IV_c が互いに逆方向に並列に接続されて構成されており、両ノードP、Qの中にある一方のノードが出力端子である。



【書類名】 明細書

【発明の名称】 二重電圧源インタフェース回路

【特許請求の範囲】

【請求項 1】 ゲートに入力信号が供給される第 1 のトランジスタと、前記入力信号を極性反転させるインバータと、前記インバータの出力をゲートに入力する第 2 のトランジスタと、前記第 1 のトランジスタのドレインと前記第 2 のトランジスタのドレインとの間に接続された高電圧電源を有するラッチ回路とを具備することを特徴とする二重電圧源インタフェース回路。

【請求項 2】 前記ラッチ回路は第 1 のインバータと第 2 のインバータが互いに逆方向に並列接続されて構成されることを特徴とする請求項 1 記載の二重電圧源インタフェース回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体回路に係り、特に、低電圧電源と高電圧電源の二種類の電源電圧を使用する半導体チップにおいて、低電圧源で高電圧の回路を駆動する二重電圧源インタフェース回路に関する。

【0002】

【従来の技術】

一般に、3V程度の低電圧電源と5V程度の高電圧電源の二種類の電源電圧を使用する二重電圧源インタフェース回路は、図4に示すように、二つのインバータ IV_1 、 IV_2 が直列に接続されて構成されている。インバータ IV_1 は、pチャンネルのCMOSトランジスタ p_1 とnチャンネルのCMOSトランジスタ n_1 、及び略3.3Vの低電圧源 V_L を備えており、入力信号 V_{in} を入力して出力信号 V_{mid} を出力する。また、インバータ IV_2 は、pチャンネルのCMOSトランジスタ p_2 とnチャンネルのCMOSトランジスタ n_2 、及び略5Vの高電圧源 V_H を備えており、インバータ IV_1 の出力である V_{mid} を入力して出力信号 V_{out} を出力する。

図4の構成において、入力信号 V_{in} は0~3.3Vの範囲をスウィングする。従

って、入力信号 V_{in} がローレベルからハイレベルに、またはハイレベルからローレベルに変化するときインバータ IV_1 の出力信号 V_{mid} は、0V から 3.3V の範囲にある。そして、インバータ IV_1 の出力信号 V_{mid} が低電圧をスウィングする場合には、インバータ IV_2 は高電圧をスウィングする。この場合、インバータ IV_1 の出力信号 V_{mid} が 0V である場合には、インバータ IV_2 においては p チャンネル CMOS トランジスタ p_2 と抵抗 R_1 とで電流路が形成されるので、出力信号 V_{out} は高電圧 5V になり、またインバータ IV_1 の出力信号が 3.3V である場合には、インバータ IV_2 の p チャンネル CMOS トランジスタ p_2 がオフとなり、n チャンネル CMOS トランジスタ n_2 がオンとなるので、出力信号 V_{out} は 0V 付近の低電圧となる。

【0003】

【発明が解決しようとする課題】

しかしながら、図4の構成においては、インバータ IV_1 の出力信号 V_{mid} が 3.3V である場合には、インバータ IV_2 の p チャンネル CMOS トランジスタ p_2 のゲートとソースの間の電位差 V_{GS} は 1.7V ($=5V - 3.3V$) となり、多少導通状態となるので、p チャンネル CMOS トランジスタ p_2 と抵抗 R_1 を介して直流電流が流れるようになり、電力の消耗が増加されるという問題があった。勿論、抵抗 R_1 を設けなければ消費電力は低減するが、その場合には p チャンネル CMOS トランジスタ p_2 は導通状態となり、その結果出力信号 V_{out} が高電圧となって誤動作を生じることになる。

本発明は、上述したような従来の二重電圧源インタフェース回路が持つ問題を解決するためになされたものであり、不必要な直流電流が流れることによる消費電力の損失を防止し、二種類の電源電圧のインターフェースを良好に行うことができる二重電圧源インタフェース回路を提供することを目的とするものである。

【0004】

【課題を解決するための手段】

上記の目的を達成するために、本発明の二重電圧源インタフェース回路は、ゲートに入力信号が供給される第1のトランジスタと、前記入力信号を極性反転させるインバータと、前記インバータの出力をゲートに入力する第2のトランジスタ

タと、前記第1のトランジスタのドレインと前記第2のトランジスタのドレインとの間に接続された高電圧電源を有するラッチ回路とを具備することを特徴とする。

【0005】

【作用】

ラッチ回路の第1のトランジスタ側のノードが高電位、第2のトランジスタ側のノードが低電位であり、入力信号がローレベルからハイレベルにシフトする場合には、第1のトランジスタはオフ状態からオン状態に、第2のトランジスタはオン状態からオフ状態になり、また、ラッチ回路の第1のトランジスタ側のノードが低電位、第2のトランジスタ側のノードが高電位であり、入力信号がハイレベルからローレベルにシフトする場合には、第1のトランジスタはオン状態からオフ状態に、第2のトランジスタはオフ状態からオン状態になる。従って、ラッチ回路のいずれのノードから出力を得る場合においても出力レベルは常に安定的に維持される。

【0006】

【実施例】

以下、本発明を図面を参照して詳細に説明する。

図1は本発明の二重電圧源インタフェース回路の概略的なブロック構成図、図2は本発明の二重電圧源インタフェース回路の詳細回路図、図3は本発明の二重電圧インタフェース回路の各部の信号レベルの変化を示す図である。

図1及び図2において、 n チャンネルCMOSトランジスタ n_1 のゲートには入力信号 V_{in} が供給され、 n チャンネルCMOSトランジスタ n_2 のゲートには、低電圧源 V_L を備えるインバータ IV_a を介して入力信号 V_{in} が供給される。そして、二つの n チャンネルCMOSトランジスタ n_1 、 n_2 のドレインの間には、高電圧源 V_H を備えるラッチ回路1が配置されている。

【0007】

図1及び図2に示す構成において、図3A、Bに示すように、 $0V \sim 3.3V$ の低電圧の入力信号 V_{in} が入力されると、インバータ IV_a により n チャンネルCMOSトランジスタ n_2 のゲートには入力信号 V_{in} の反転信号が入力されるよう

になる。従って、 n チャンネルCMOSトランジスタ n_1 がオンとなると、 n チャンネルCMOSトランジスタ n_2 はオフとなり、逆に n チャンネルCMOSトランジスタ n_1 がオフとなると、 n チャンネルCMOSトランジスタ n_2 はオンとなる。なお、図3において入力信号 V_{in} の反転信号は V_{in} の上にバーを付すことによって示している。

また、ラッチ回路1は、図2に示すように、それぞれが高電圧源 V_H を備える二つのインバータ IV_b 、 IV_c が互いに逆方向に並列に接続されて構成されており、両ノードP、Qの中にある一方のノードの信号を出力するようになされている。即ち、入力信号 V_{in} が0Vから3.3Vにシフトする場合には図3Aに示すように、ラッチ回路1の出力信号 V_{out} はローレベルからハイレベルに、3.3Vから0Vにシフトする場合には図3Bに示すように、ハイレベルからローレベルにシフトする。

【0008】

従って、ラッチ回路1のノードPが高電位(5V)であり、ノードQが低電位(0V)である場合、入力信号 V_{in} がローレベルからハイレベルにシフトすることになると図3Aに示すように、オフ状態にある n チャンネルCMOSトランジスタ n_1 はオン状態になり、 n チャンネルCMOSトランジスタ n_2 はインバータ IV_a の存在により、オン状態からオフ状態になることになるので、 n チャンネルCMOSトランジスタ n_1 のソースとドレインの間に電流通路が形成され、ノードPの電位が0Vにシフトすることになる。その結果、ラッチ回路1の出力 V_{out} 、即ち、ノードQの電位は5Vのハイレベルにシフトし、全ての電流通路は遮断され、安定な出力信号 V_{out} が維持されることになる。

また、ラッチ回路1のノードPが低電位(0V)、ノードQが高電位(5V)である場合に、図3Bに示すように入力信号 V_{in} がハイレベルからローレベルにシフトする場合には、オン状態の n チャンネルCMOSトランジスタ n_1 はオフ状態にシフトし、 n チャンネルCMOSトランジスタ n_2 はインバータ IV_a の存在によりオフ状態からオン状態にシフトすることになるので、 n チャンネルCMOSトランジスタ n_2 に電流通路が形成されて、ノードQの電位、即ち、ラッチ回路1の出力 V_{out} は0Vのローレベルにシフトされてそのレベルを維持する

ことになる。

【0009】

【発明の効果】

以上の説明から明らかなように本発明の二重電圧源インタフェース回路によれば、ラッチ回路は二つのノードのいずれのノードからでも直流電流の損失を生じることなく出力することができるので、不必要な消費電力の損失を減少させることができる。

【図面の簡単な説明】

【図1】

本発明の二重電圧源インタフェース回路の概略的なブロック構成図である。

【図2】

本発明の二重電圧源インタフェース回路の詳細回路図である。

【図3】

本発明の二重電圧源インタフェース回路の各部の入出力信号レベルの変化を示す図である。

【図4】

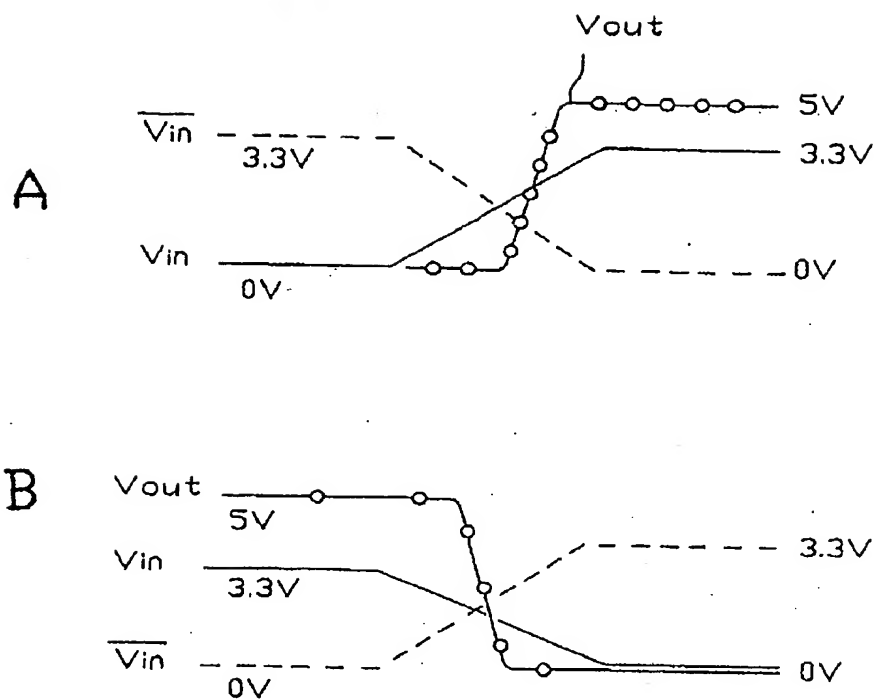
従来の二重電圧源インタフェース回路の構成図である。

【符号の説明】

1…ラッチ回路、 $n_1, n_2 \dots n$ チャンネルCMOSトランジスタ、 $p_1, p_2 \dots p$ チャンネルCMOSトランジスタ、 $IV_1, IV_2, IV_3, IV_c \dots$ インバータ

【図 3】

【図 3】



【図 4】

